

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-198101

(43)Date of publication of application : 06.08.1993

(51)Int.Cl. G11B 20/14
G11B 20/14

(21)Application number : 04-221054 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.08.1992 (72)Inventor : SHIMOTASHIRO MASAFUMI
HAYASHI KOICHI
HIGASHIDA YOSHIO
HASHIMOTO SEIICHI

(30)Priority

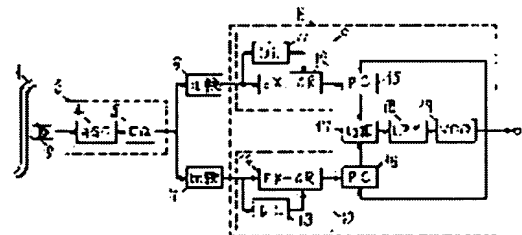
Priority number : 03222620 Priority date : 03.09.1991 Priority country : JP

(54) TIMING REGENERATOR AND AUTO-SLICER

(57)Abstract:

PURPOSE: To generate a stable clock and to precisely and stably correct a variation in an amplitude as to the timing regenerator for detecting a bit phase from a regenerative signal and the auto-slicer for responding a discriminating level in comparison of the regenerative signal with an amplitude variation.

CONSTITUTION: The timing regenerator is constituted for the purpose of detecting PR (1, 0, -1) on the premise, making the comparison by two comparing circuits 6 and 7 respectively, detecting their respective clock components individually, detecting phase errors and adding up the phase errors with an adding circuit 17, so as to generate the precise clock without being influenced by a data pattern. Then, the auto-slicer is also operated to detect an amplitude variation at the timing point, and then the amplitude variation is corrected without being influenced by the data pattern.



LEGAL STATUS

[Date of request for examination] 11.09.1998

[Date of sending the examiner's decision of rejection] 21.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3492713
[Date of registration]	14.11.2003
[Number of appeal against examiner's decision of rejection]	2002-11269
[Date of requesting appeal against examiner's decision of rejection]	20.06.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-198101

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

G 1 1 B 20/14

識別記号

3 5 1 A 8322-5D

3 2 1 A 8322-5D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数5(全10頁)

(21)出願番号 特願平4-221054

(22)出願日 平成4年(1992)8月20日

(31)優先権主張番号 特願平3-222620

(32)優先日 平3(1991)9月3日

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 下田代 雅文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 林 幸一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 東田 吉夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

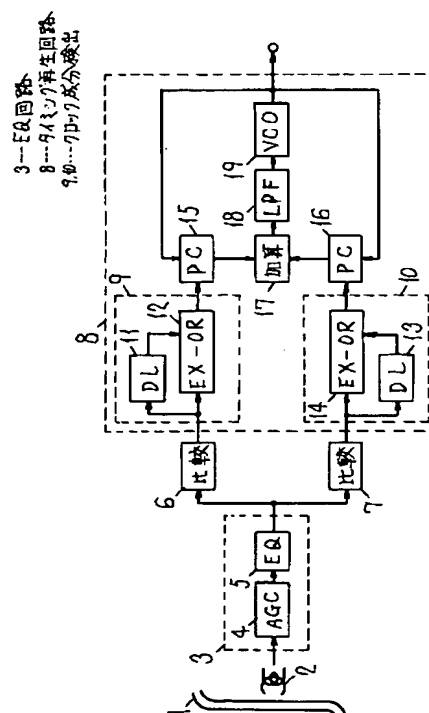
最終頁に続く

(54)【発明の名称】 タイミング再生装置とオートスライサ装置

(57)【要約】

【目的】 デジタル信号を記録再生する磁気記録再生装置に用いる、再生信号からビット位相を検出するタイミング再生装置と、再生信号の振幅変動に対して比較の識別レベルを応答させるオートスライサ装置に関するもので、データパターンに影響されず、安定なクロックを発生させ、振幅変動に対して、正確に、安定な補正をかける装置を提供することを目的としている。

【構成】 タイミング再生装置は、PR(1, 0, -1)検出を前提に、2つの比較回路6, 7で比較し、それぞれ別々にクロック成分を検出し、位相誤差を検出して加算回路17で位相誤差を加算する構成で、データパターンに影響されず、正確なクロックを発生させるものであり、また、オートスライサ装置もタイミング点での振幅変動を検出し、データパターンの影響を受けずに振幅変動を補正するものである。



【特許請求の範囲】

【請求項 1】映像信号、音声信号をデジタル信号に変換して、記録再生するデジタル磁気記録再生装置であって、

磁気記録媒体から再生された信号を 3 値検出を前提としたパーシャルレスポンス波形にイコライザするイコライザ回路と、

前記イコライザ回路の出力を識別する 2 つの比較回路と、

前記 2 つの比較回路の出力からそれぞれクロック成分を抽出する 2 つのクロック成分検出回路と、

前記 2 つのクロック成分検出回路の出力と電圧制御発振回路の出力とから位相誤差をそれぞれ検出する 2 つの位相比較回路と、

前記 2 つの位相比較回路の出力を加算する加算回路と、前記加算回路の出力から不要成分を除去するローパスフィルタと、

前記ローパスフィルタの出力に従って、クロックを発生する前記電圧制御発振回路と、から構成されたことを特徴とするタイミング再生装置。

【請求項 2】前記クロック成分検出回路は、クロック周期を T とした時、 $T/2$ 時間、前記比較回路の出力を遅らせる遅延線と、前記遅延線の出力と前記比較回路の出力との EX-OR をとる EX-OR 回路と、から構成されたことを特徴とする請求項 1 記載のタイミング再生装置。

【請求項 3】映像信号、音声信号をデジタル信号に変換して、記録再生するデジタル磁気記録再生装置であって、

磁気記録媒体から再生された信号を 3 値検出を前提としたパーシャルレスポンス波形にイコライザするイコライザ回路と、

前記イコライザ回路の出力を識別する 2 つの比較回路と、

前記 2 つの比較回路の出力からそれぞれクロック成分を抽出する 2 つのクロック成分検出回路と、

前記 2 つのクロック成分検出回路の出力を線形加算する加算回路と、

前記加算回路出力と電圧制御発振回路の出力とから位相誤差を検出する位相比較回路と、

前記位相比較回路の出力から不要成分を除去するローパスフィルタと前記ローパスフィルタの出力に従って、クロックを発生する前記電圧制御発振回路と、から構成されたことを特徴とするタイミング再生装置。

【請求項 4】前記クロック成分検出回路は、クロック周期を T とした時、 $T/2$ 時間、前記比較回路の出力を遅らせる遅延線と、前記遅延線の出力と比較出力を乗算する乗算回路とから構成されたことを特徴とする請求項 3 記載のタイミング再生装置。

【請求項 5】映像信号、音声信号をデジタル信号に変

換して、記録再生するデジタル磁気記録再生装置であって、

磁気記録媒体から再生された信号を 3 値検出を前提としたパーシャルレスポンス波形にイコライザし、振幅変動を補正するイコライザ回路と、

前記イコライザ回路の出力を識別する 2 つの比較回路と、

前記 2 つの比較回路の出力からビット同期の位相情報を検出し、ビット同期位置を示すクロックを発生するタイミング再生回路と、

前記タイミング再生回路の出力であるクロックを用いて前記 2 つの比較回路の出力のビット同期位置をサンプリングする 2 つのデータサンプリング回路と、

前記 2 つのデータサンプリング回路の出力を減算する減算回路と、

前記イコライザ回路の出力と前記減算回路の出力とを乗算する乗算回路と、

前記乗算回路の出力から振幅変動成分を抜きだし、前記イコライザ回路に出力するローパスフィルタと、

前記乗算回路の出力から前記イコライザ回路で補正できなかった振幅変動成分を抜き出し、前記 2 つの比較回路の識別レベルを出力するローパスフィルタと、から構成されたことを特徴とするオートスライサ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、映像信号、音声信号をデジタル信号に変換して、記録再生するデジタル磁気記録再生装置に関し、磁気記録媒体から再生された信号からビット位相を検出するタイミング再生装置と、再生信号の振幅変動を検出して比較の識別レベルを応答させるオートスライサ装置に関するものである。

【0002】

【従来の技術】従来のタイミング再生装置の要部ブロック図例を図 6 に示す。

【0003】磁気記録媒体 31 から再生された信号は磁気ヘッド 32 を介して、イコライザ（以下、EQ と称す）回路 33 に出力される。EQ 回路 33 では、3 値検出を前提としたパーシャルレスポンス波形（特に、ここでは、インタリーブド NRZI 変調と共に使用される PR(1, 0, -1) 検出について説明する）にイコライザされて比較回路 34, 35 に出力される。

【0004】(H. Kobayashi D. T. Tang 「Application of Partial-response Channel Coding to Magnetic Recording Systems」 IBM J. RES. DEVELOP JULY 1970)

ここでは、PR(1, 0, -1) を前提としているため、比較回路 34, 35 の出力を EX-OR 36 で EX-OR することで、2 値データに変換できる。また、タ

イミシング再生回路37は、タンク回路38、乗算回路39、ローパスフィルタ（以下、LPFと称す）40、電圧制御発振回路（以下、VCOと称す）41から構成され、2値データからクロック成分を抜き出し、再生信号に位相ロックさせることでビットタイミングを発生させる構成となっている（例えば、著：金子尚司 PCM通信の技術 産報出版）。

【0005】次に、従来のオートスライサ装置の要部ブロック図例を図8に、動作タイミングを図9に示す。基本的には、コンパレータ51の出力データから、両エッジ検出回路55で両エッジを検出し、チャージ時間検出回路56、ディスチャージ時間検出回路57で、データラッチパルス生成回路54から再生されたラッチクロックと、両エッジ検出回路55から出力されたエッジ位置とを比較して、チャージ、ディスチャージ時間を検出し、コンデンサ60に識別レベルに相当する電荷をチャージする。即ち、識別レベルをラッチクロックの立ち上がりエッジがデータの中央になるように動作させるのである（例えば、著：山下光良、皆川裕安現代デジタルオーディオ技術 オーム社）。

【0006】

【発明が解決しようとする課題】従来の、タンク回路を用いたタイミング再生装置は、データパターンによって、タンク回路から出力される波形の位相が変化する。即ち、図7の（a）には、EQ回路33から出力される再生波形を示し、通常は、 A_0 、 B_0 、 C_0 、 d_0 点で、ほとんど同一確率で識別されるため、タンク回路から出力される波形は（b）にしめす波形に平均化された位相となる。しかし、データパターンが（a）に示すw1のような、特別な波形が連続した場合は、識別レベルC1で識別された波形は（c）となり、識別レベルC2で識別された波形は（d）（ただし、-1を1として記述）となるため、（c）と（d）とのEX-ORをとると

（e）の波形になる。よって、タンク回路38では、立ち下がりエッジから発生される（イ）の波形と立ち下がりエッジから発生する（ロ）の波形が得られ、結局、出力される波形は実線波形となり、前述の（b）の波形とは、 $\pi/2$ 位相が異なるため、再生されるクロックがビットスリップをおこす問題が生じる。従って、データパターンの偏りによって、再生されるクロックの位相がシフトされることになり、タイミングが正確に検出できない問題が生じる。

【0007】次に、従来のオートスライサ装置では、積分検出など、データのエッジとクロックとの位相関係が、コサインロールオフ特性を前提として一定位相関係になるものに対しては成り立つが、7図の（a）に示すようなPR（1，0，-1）を前提とした3値検出の場合は、エッジ位置が、 A_0 、 B_0 、 C_0 、 d_0 点になり、データパターンによって識別レベルがふられる問題がおこる。

【0008】また、簡単に、識別レベルをEQ回路から出力された信号の振幅レベルから検出すれば、前述のような問題は起こらないが、コサインロールオフ率、および、データパターンによって振幅レベルが変化するため、前述同様、識別レベルが変化する問題が生じる。

【0009】本発明はかかる点に鑑みてなされたもので、前述したビットスリップがPR（1，0，-1）を前提にしたとしても起こらないタイミング再生装置を提供することと、データパターンによって識別レベルが変化しないオートスライサ装置を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明のタイミング再生装置は、上記目的を達成するために、映像信号、音声信号をディジタル信号に変換して、記録再生するディジタル磁気記録再生装置であって、磁気記録媒体から再生された信号を3値検出を前提としたパーシャルレスポンス波形にイコライザするイコライザ回路と、前記イコライザ回路の出力を識別する2つの比較回路と、前記2つの比較回路の出力からそれぞれクロック成分を抽出する2つのクロック成分検出回路と、前記2つのクロック成分検出回路の出力と電圧制御発振回路の出力とから位相誤差をそれぞれ検出する2つの位相比較回路と、前記2つの位相比較回路の出力を加算する加算回路と、前記加算回路の出力から不要成分を除去するローパスフィルタと前記ローパスフィルタの出力に従って、クロックを発生する電圧制御発振回路とを備えたものである。

【0011】また、本発明のオートスライサ装置は、映像信号、音声信号をディジタル信号に変換して、記録再生するディジタル磁気記録再生装置であって、磁気記録媒体から再生された信号を3値検出を前提としたパーシャルレスポンス波形にイコライザし、振幅変動を補正するイコライザ回路と、前記イコライザ回路の出力を識別する2つの比較回路と、前記2つの比較回路の出力からビット同期の位相情報を検出し、ビット同期位置を示すクロックを発生するタイミング再生回路と、前記タイミング再生回路の出力であるクロックを用いて前記2つの比較回路の出力のビット同期位置をサンプリングする2つのデータサンプリング回路と、前記2つのデータサンプリング回路の出力を減算する減算回路と、前記イコライザ回路の出力と前記減算回路の出力とを乗算する乗算回路と、前記乗算回路の出力から振幅変動成分を抜きだし、前記イコライザ回路に出力するローパスフィルタと、前記乗算回路の出力から前記イコライザ回路で補正できなかった振幅変動成分を抜き出し、前記比較の識別レベルを出力するローパスフィルタと、を備えたものである。

【0012】

【作用】本発明のタイミング再生装置は、2つの位相比較回路を設けて、前記3値アイパターンの上側と下側と

から、それぞれ別々に位相誤差を検出し、前記2つの位相比較回路の出力を加算回路で加算し、位相誤差を平均化する構成となっている。

【0013】従って、前記3値アイパターンの性質から、即ち、上側と下側のアイパターンが対で存在し、前記2つの位相比較回路から出力される位相誤差が検出すべき真のビット同期位置に対して、大きさが同一で位相誤差方向が互いに逆方向のオフセットをもつという性質から、前記加算回路から出力される位相誤差は、常に、ビット同期位置を正確に示すことになる。よって、前記加算回路の出力に従って、電圧制御発振回路でクロックを発生させれば、従来例のようなビットスリップは起こらず、正確なクロックを発生することができる。また、本発明のオートスライサ装置は、振幅情報から識別レベルを検出しているため、パーシャルレスポンス波形を前提としても、従来例のごとく、検出誤差が生じることがない。

【0014】さらに、前述のごとく、振幅情報から識別レベルを制御した場合、コサインロールオフ率とデータパターンによって、ピーク振幅値が変動するが、タイミング再生回路から出力されたクロックで、2つの比較回路から出力されたデータをサンプリングすることによって、データ打ち抜きのタイミングを検出し、これとイコライザ回路からの出力とを乗算することで、打ち抜き時の振幅情報のみを検出しているため、上記コサインロールオフ率とデータパターンによる影響を受けない。

【0015】また、振幅変動の大部分はイコライザ回路でゲインをコントロールして補正し、残留する成分は、2つの比較回路の識別レベルを可変することで補正する構成となっている。基本的には、イコライザ回路でゲインをコントロールしてすべての周波数領域を補正することがアイパターンの識別にとって有利であるが、瞬時応答をゲインコントロールで行なうことは、応答の不安定要素となり、望ましくない。よって、前述のごとく、残留する振幅変動成分のみを識別レベルで補正する構成となっている。

【0016】

【実施例】以下、本発明の第1のタイミング再生装置の実施例について、図面を参照しながら説明する。

【0017】図1は、本発明の第1の実施例におけるタイミング再生装置の要部ブロック図である。磁気記録媒体1には、映像信号、および、音声信号がデジタル信号に変換されて記録されており、磁気ヘッド1を介して再生される。再生された信号は、AGC4、および、EQ5から構成されるEQ回路3でもって、3値検出、即ち、PR(1, 0, -1)検出を前提とした波形に振幅レベルを補正しながら、イコライザされる。比較回路6, 7では、EQ回路3から出力された信号の中心レベルから上側と下側に識別レベルを設け、それぞれ識別を行い、2つの2値データを出力する。

【0018】同一構成のクロック成分検出回路9, 10は、遅延線(DL)11, 13とEX-OR回路12, 14から構成され、それぞれDL11, 13は、比較回路6, 7から出力されたデータをクロック周期Tの半分の時間(T/2)だけ遅延する。

【0019】また、EX-OR回路12, 14では、前記DL11, 13の出力と前記比較6, 7の出力とのEX-ORをとり、クロック成分を検出する。即ち、理論的には、1つのエッジに対して、1つのクロックの方形波があるものとしてクロック波形を挿入し、クロック成分を発生させるのである。

【0020】ここで、比較回路6, 7の出力をEX-ORしてクロック成分を検出しない理由を、図2の波形に従って説明する。図2の(a)は、EQ回路3からの出力であり、1, 0, -1は、データの振幅値とともに、打ち抜きタイミング位置を示し、C1, C2は、識別レベルを示しており、信号波形W2が再生されたとして以下説明を行う。比較回路6, 7から出力されるデータは、それぞれ(b), (c)(ただし、(c)のみ-1を1として記述)に示す波形となる。次に、データ(b), (c)のEX-ORをとれば(d)の波形が得られ、クロック成分検出9, 10に通すと(g)の波形が得られる。ここで、(g)の波形をみれば明らかなように、クロックの2倍の周波数成分が生じ、正確な位相検出ができなくなる。よって、本実施例では、データ(b), (c)それぞれをクロック成分検出回路6, 7に通し、(e), (f)の波形を発生させ、それぞれ別個に位相比較する構成となっている。(e), (f)の波形をみればわかるように、クロックの2倍の成分は生じず、正確な位相比較ができる。

【0021】次に図1に戻り、位相比較回路(以下、PCと称す)15, 16では、クロック成分検出回路9, 10からの出力とVCO19からの出力との位相比較を行なう。ただし、前記PC15, 16では、比較回路6, 7のエッジが存在する1クロック期間のみ行い、エッジがない場合は、直前の位相比較データをホールドする構成とし、データがない場合でも安定に動作する構成とする。加算回路17では、PC15, 16の出力データをアナログ的に加算を行い、LPF18で高域周波数の不要成分を分離し、VCO19に出力し、VCO19では、LPF18の電圧にしたがって、再生信号に位相同期した再生クロックを発生する。

【0022】ここで、図2の(a)のA₀, d₀点、あるいは、C₀, B₀点は、再生信号において、クロックに対し、PR(1, 0, -1)検出を前提とした場合は、ペアで存在し、同一量の遅れ、進みの位相関係となっている。よって、前述のごとく、図1、加算回路17で、2つのPC15, 16の出力を加算すれば、平均化されて正確な位相誤差が常に得られることになり、従来例のごとく、ビットスリップを起こすことがない。さらに、

振幅変動が発生し、前記比較回路6、7で出力データのエッジ位置が変化しても、2つのPC15、16で検出される位相誤差のペア状態は維持されるため、振幅変動の影響を除去することができる。

【0023】また、図2の(e)、(f)をみれば明らかのように、3値アイパターンの上側、あるいは、下側、どちらか、1つの比較出力を用いて位相誤差を検出することは可能であるが、応答速度を考慮した場合、検出エッジ数で決定される。よって、3値アイパターンの上側、あるいは、下側、どちらか、1つの比較出力を用いたものに比べ、本発明のごとく、下側、上側、両方を用いれば、応答速度を2倍、速くすることができる。

【0024】なお、本実施例のタイミング再生装置は、線形特性を有するアナログ乗算回路とアナログ加算回路とを使用して、図3に示す第2の実施例のように構成することも可能である。即ち、図1のクロック成分検出回路9、10では、EX-OR回路12、14でクロック成分の検出を行っていたが、図3では、アナログ乗算回路61、62を用いて、それぞれのクロック成分を抽出し、アナログ乗算回路61、62の出力を加算回路17で線形加算する。次に、加算回路17の出力とVCO19の出力(クロック)とをアナログ乗算回路63で乗算して位相誤差を検出しても、図1と同等の特性を実現することができる。よって、図1の構成では、PCを2つ用いて実現したが、図3のように構成することで、PC1個で実現することでき、回路を簡単化することができる。

【0025】次に、本発明の第3のオートスライサ装置の実施例について、図面を参照しながら説明する。図4は、本発明の第3の実施例におけるオートスライサ装置の要部ブロック図であり、図1と同一構成の部分は、図1と同一の番号を付す。磁気記録媒体1には、映像信号、および、音声信号がデジタル信号に変換されて記録されており、磁気ヘッド2を介して再生される。EQ回路3は、AGC4、EQ5とによって構成され、AGC4では、再生信号の振幅値が一定になるようにゲインコントロールを施し、EQ5に出力する。EQ5では、PR(1, 0, -1)検出を前提とした波形になるようにイコライザを行い、比較回路6、7、及び、乗算回路23に出力する。比較回路6、7では、3値検出を行い、3値アイパターンの上側、下側、それぞれを識別し、2値データを出力する。タイミング再生回路8は、前述した図1と同様に再生クロックを発生させる。

【0026】次に、データサンプリング回路20、21、減算回路22については、図5に示すタイミング波形図で説明する。図5の(a)、(b)は、比較回路6、7からの出力データを示し、(b)は、3値アイパターンの下側の比較データで、-1を1、0を0として記述している。また、(c)は、再生クロック波形を示し、(d)はデータサンプリング回路20で(a)を

(c)でサンプリングした出力データを示す。同様に、(e)は、データサンプリング回路21で(b)を(c)でサンプリングした出力データを示す。減算回路22では、図5の(d)の波形から(e)の波形を減算し、(f)の波形を出力する。即ち、極性とタイミング点を同時に示す波形を出力する。

【0027】次に、図4にもどり、減算回路22の出力とEQ回路3との出力を乗算回路23で乗算する。これによって、タイミング点での再生振幅値を検出することができる。ここでは、PR(1, 0, -1)検出を前提にしているため、基本的には、コサインロールオフ波形にのった波形がEQ回路3から出力される。よって、タイミング点では、どのようなデータパターンであろうが、振幅値が変動しないかぎり同一振幅値となり、正確な振幅変動が検出できる。LPF24では、乗算回路23の出力から不要成分を除去し、前記AGC4に出力し、LPF25では、乗算回路23の出力から不要成分を除去し、振幅変動の残留成分のみを取り出し、比較回路6、7に出力する。AGC4では、LPF24の出力に従って、振幅変動の成分について補正し、比較回路6、7では、LPF25の出力に従って、AGC4で補正できなかった残留振幅変動成分について識別レベルを補正する。よって、前述のごとく構成することでAGCで応答できない、残留振幅変動成分は比較回路6、7の識別レベルで補正でき、振幅変動に対して、正確に、安定な動作をさせることができる。

【0028】また、本発明第3の実施例に本発明第1の実施例のタイミング再生装置を用いれば、第1の実施例は振幅変動に影響されずビット同期位置を検出できるため、振幅変動を補正する制御ループとビット同期位置を検出する制御ループとは独立に扱うことができる。なお、図4に示すLPF24、25を同一LPF、一個で構成し、AGC4、比較回路6、7に同一振幅変動検出信号を出力しても、図4と同様の効果をあげることができる。

【0029】

【発明の効果】以上述べてきたように、本発明のタイミング再生装置によれば、従来例のようなビットスリップは、発生せず、正確に再生クロックを発生することができる。また、2つのPCを用いて別々に位相誤差を検出する構成となっているため、クロックの2倍の周波数は発生せず、正確に位相誤差を検出できる。しかも、3値アイパターンの上側、下側を用いて位相誤差を検出しているので、上側、あるいは、下側、一方を用いたものと比較して応答速度を2倍にすることができる。

【0030】また、本発明のオートスライサ装置では、位相情報の代わりに、振幅値から、識別レベルを制御しているため、PR(1, 0, -1)を前提としても、正確に、制御できる。さらに、本来振幅値が一定となる識別タイミング点で、極性を含めて振幅変動情報を検出し

ているため、データパターン、および、コサインロールオフ率等の影響を受けることがない。また、振幅変動の大部分は、AGCで補正し、残留する振幅変動成分のみを識別レベルで補正する構成となっているため、正確で、安定な制御をかけることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるタイミング再生装置の構成を示す要部ブロック図

【図2】同実施例におけるタイミング再生装置の動作タイミングを示す波形図

【図3】本発明の第2の実施例におけるタイミング再生装置の構成を示す要部ブロック図

【図4】本発明の第3の実施例におけるオートスライサ装置の構成を示す要部ブロック図

【図5】同実施例におけるオートスライサ装置の動作タイミングを示す波形図

【図6】従来のタイミング再生装置の一例の構成を示す要部ブロック図

【図7】同従来のタイミング再生装置の動作タイミングを示す波形図

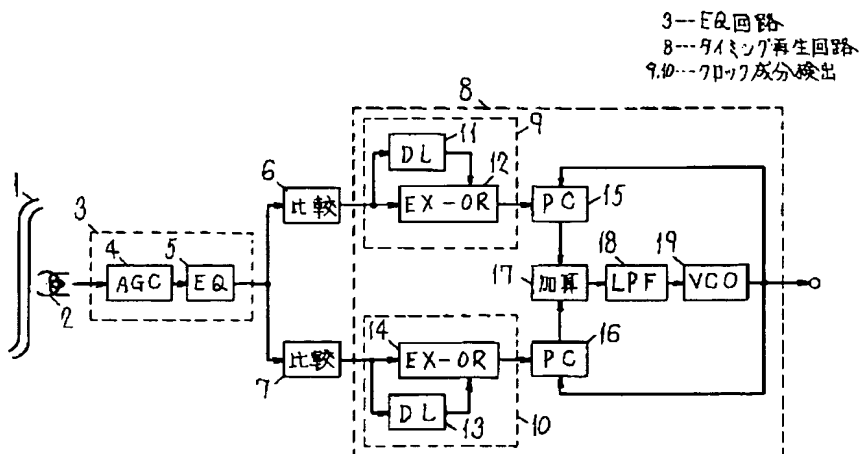
【図8】従来のオートスライサ装置の一例の構成を示す要部ブロック図

【図9】同従来のオートスライサ装置の動作タイミングを示す波形図

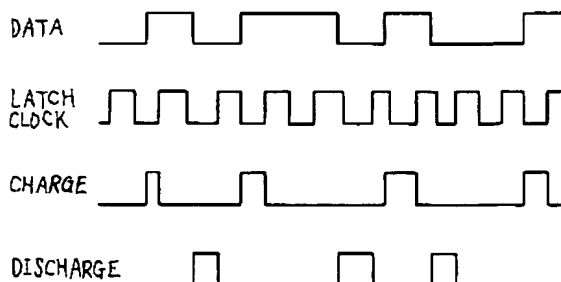
【符号の説明】

- 1 磁気記録媒体
- 2 磁気ヘッド
- 3 EQ回路（イコライザ回路）
- 4 AGC
- 5 EQ（イコライザ）
- 6, 7 比較回路
- 8 タイミング再生回路
- 9, 10 クロック成分検出回路
- 11, 13 DL（遅延線）
- 12, 14 EX-OR回路
- 15, 16 PC（位相比較回路）
- 17 加算回路
- 18, 24, 25 LPF
- 19 VCO（電圧制御発振回路）
- 20, 21 データサンプリング回路
- 22 減算回路
- 23 乗算回路
- 61, 62, 63 アナログ乗算回路

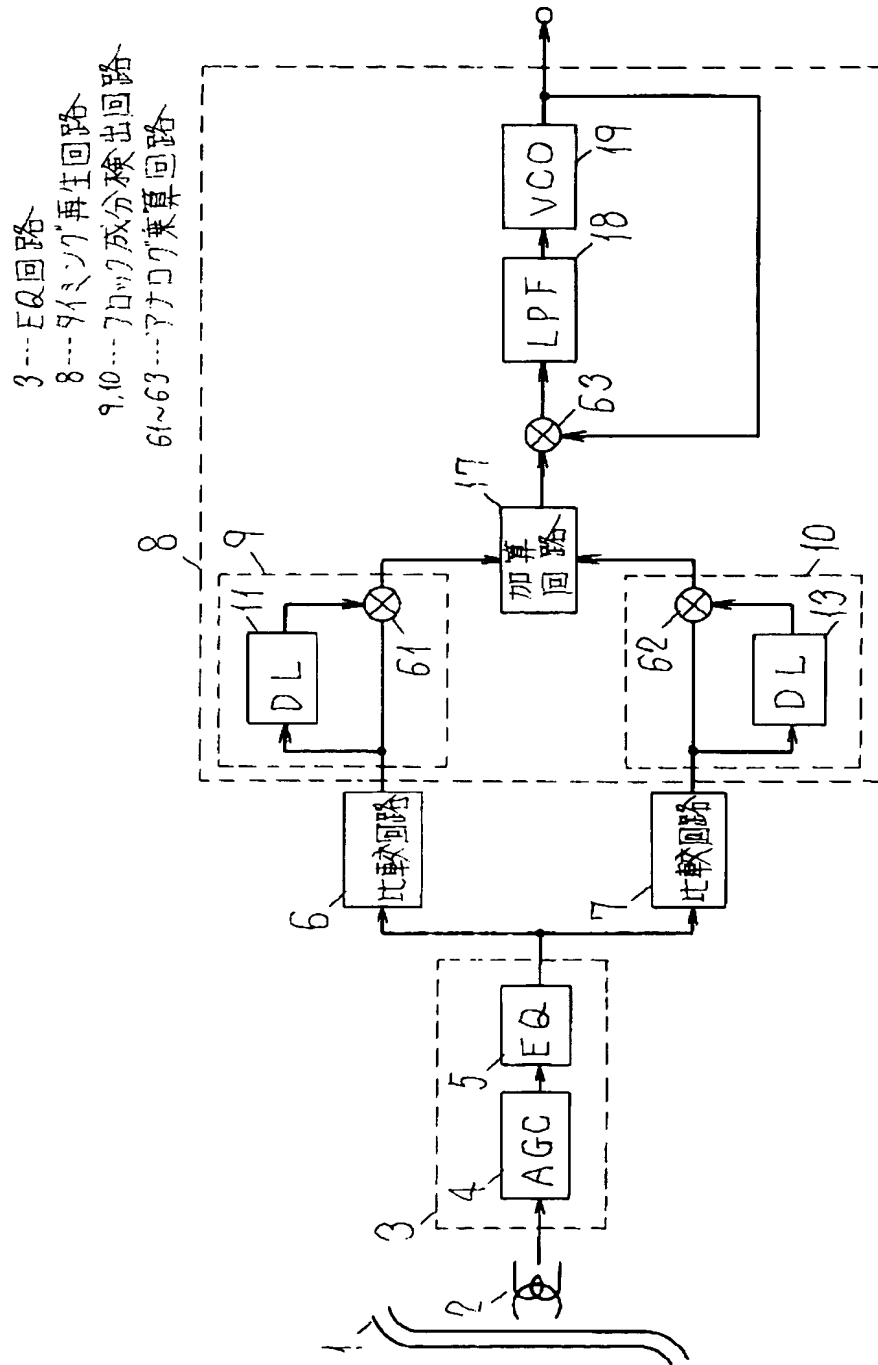
【図1】

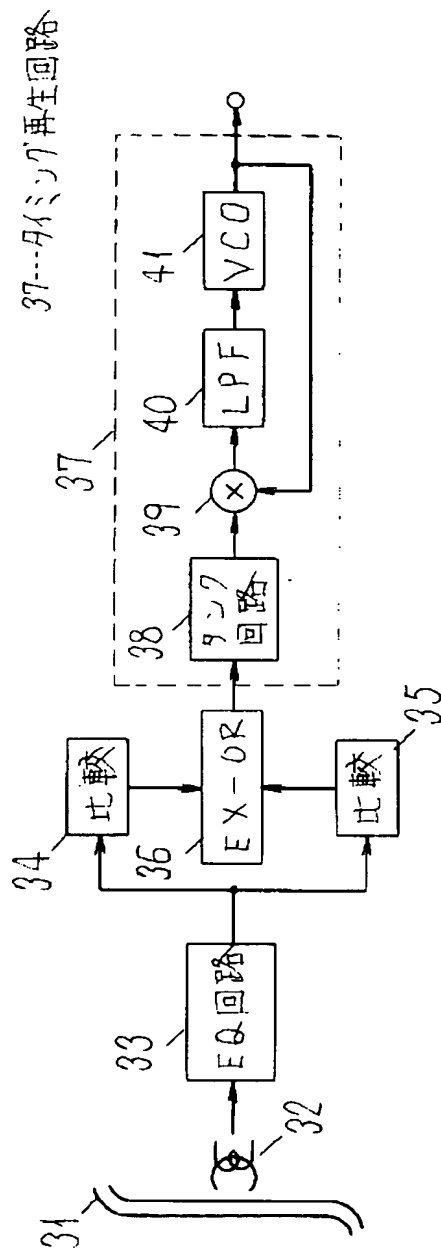


【図9】



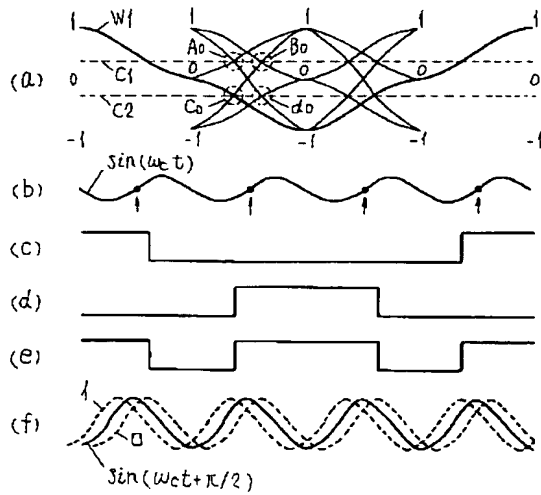
【図3】



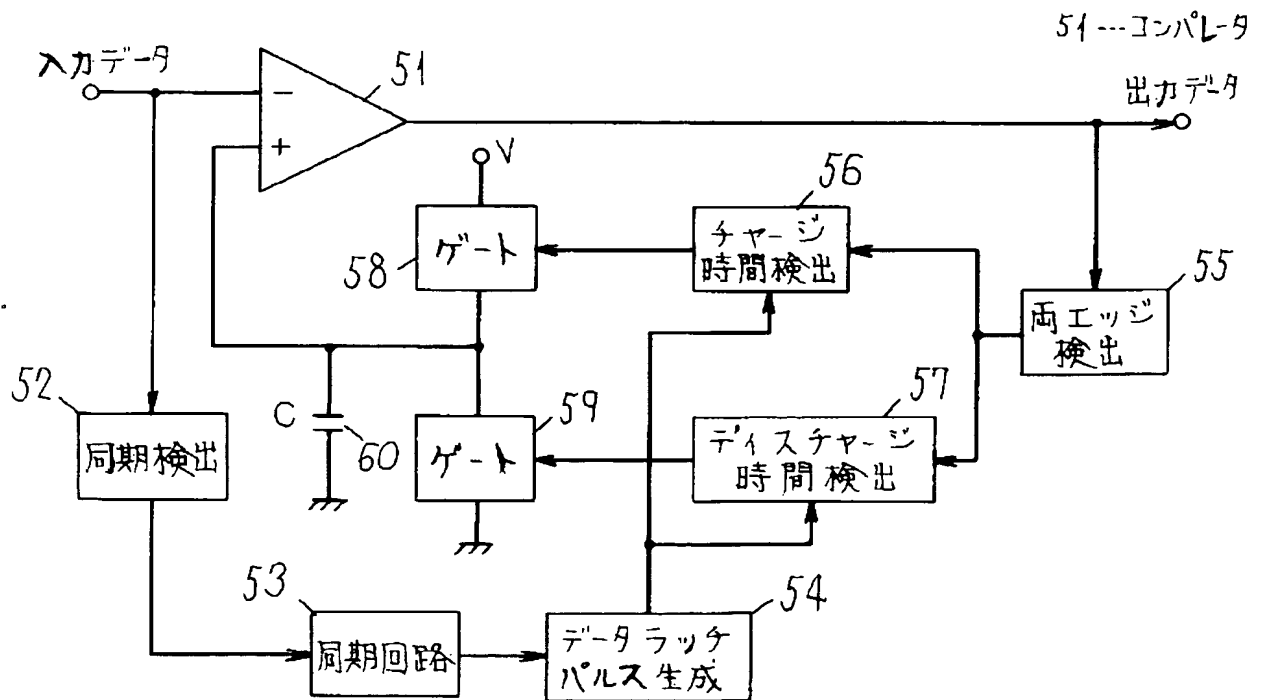


【図6】

【図 7】



【図 8】



フロントページの続き

(72) 発明者 橋本 清一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内